

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2002年12月18日  
Date of Application:

出願番号      特願2002-366803  
Application Number:

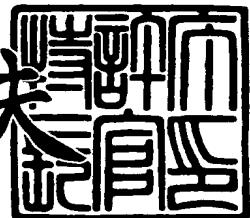
[ST. 10/C] : [JP2002-366803]

出願人      株式会社半導体エネルギー研究所  
Applicant(s):

2003年10月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願  
【整理番号】 P006814  
【提出日】 平成14年12月18日  
【あて先】 特許庁長官 太田 信一郎 殿  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 長多 剛  
【特許出願人】  
【識別番号】 000153878  
【氏名又は名称】 株式会社半導体エネルギー研究所  
【代表者】 山崎 舜平  
【手数料の表示】  
【予納台帳番号】 002543  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置およびその検査方法

【特許請求の範囲】

【請求項 1】

画素がマトリクス状に配置され、その位置を交点とするようにデータ信号線および走査線が並び、前記データ信号線および走査線のそれぞれに対してドライバ回路にて制御を行っている画像表示装置において、

前記ドライバ回路と前記画素とは、前記データ信号線を介して検査回路に接続され、

前記検査回路は、直列に接続された複数のNAND回路を有し、

前記データ信号線は、それぞれ前記複数のNAND回路のうちいずれか1つの入力に接続され、前記直列に接続されたNAND回路の先頭の入力は電源電位、後尾の出力は検査端子と接続されていることを特徴とする画像表示装置。

【請求項 2】

画素がマトリクス状に配置され、その位置を交点とするようにデータ信号線および走査線が並び、前記データ信号線および走査線のそれぞれに対してドライバ回路にて制御を行っている画像表示装置において、

前記ドライバ回路と前記画素とは、前記データ信号線を介して検査回路に接続され、

前記検査回路は、直列に接続された複数のNAND回路を有し、

前記データ信号線は、それぞれ前記複数のNAND回路のうちいずれか1つの入力に接続され、前記直列に接続されたNAND回路の先頭の入力は電源電位、後尾の出力は検査端子と接続され、

前記検査回路において、検査パルスの入力に対し、前記検査端子の出力に方形波を得ることを特徴とする画像表示装置の検査方法。

【請求項 3】

請求項 2 において、

前記検査パルスは、映像信号の入力に従い、前記データ信号線に出力されるパルスであることを特徴とする画像表示装置の検査方法。

**【請求項 4】**

請求項 2において、

前記検査パルスを全てのデータ信号線において H i g h 信号とし、順次 Low 信号に切り替えることを特徴とする画像表示装置の検査方法。

**【請求項 5】**

請求項 2乃至請求項 4 のいずれか 1 項において、

前記直列に接続された N A N D 回路への前記検査パルスの入力は、全段にわたり同時入力されることを特徴とする画像表示装置の検査方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、画素がマトリクス状に配置された画像表示装置及び画像表示装置の検査方法に関するものである。

**【0002】****【従来の技術】**

液晶ディスプレイ(L C D)や、エレクトロルミネッセンス(E L)ディスプレイ等の画像表示装置においては、近年高精細化が進み、素子の集積度も大きく向上してきている。

**【0003】**

画像表示装置の製造ラインにおいては、完成品としてのパネル出荷に際し、基板上に実装した回路が正常動作しているかの検査が不可欠であるが、前述した高精細化に伴い、検査工程自体も複雑化してきている。

**【0004】**

図2は、画像表示装置における、検査回路を実装した基板の、従来技術の構成図である。基板201は検査回路211を実装し、マトリクス状に配置された画素204を有し、データ信号線(ソースバスライン)205と走査線(ゲートバスライン)206がお互いに直行するよう配置され、各走査線206はゲート駆動回路203に接続、各データ信号線205はソース駆動回路202に接続されている(特許文献1参照)。

**【0005】**

上記表示装置は、各走査線206により当該行の各画素を制御し、映像信号はソース駆動回路202に順次取り込まれ、ラッチ信号が入力されると各データ信号線205に同時に出力され、各画素に入力される。

#### 【0006】

上記表示装置の配線間の短絡や配線の断線の検出は、走査線206の端に設けられた検出用パッド215aにプローブピンを接触させ出力を調べる方法、データ信号線205の端の検査回路211を使用する方法がある（例えば、特許文献1参照）。検査回路を使用してデータ信号線205を検査する場合、映像信号線207に検査用パルスを入力し、アナログスイッチ212からの出力波形を、検査端子215bの出力により観察する。検査用パルスと出力値を比較することで、断線等の不良を簡単に発見することができる。

#### 【0007】

こうした検査を行う理由は、画像表示基板を組み立て後の完成状態であるパネルにして、表示を行わねば検出できない不良ができる限り少なくするためである。こうすることでパネルの生産の歩留まりが向上し、単価が下がることにつながる。たとえ検査回路作成により、画像表示としては余分な面積を基板上に占有しても、組み立て以前に不良品をふるい落とせれば、最終的なパネルの単価は安くすることができる。

#### 【0008】

##### 【特許文献1】

特開2002-116423号公報

#### 【0009】

##### 【発明が解決しようとする課題】

ところが、上記検査法では、ソース駆動回路202の動作及びデータ信号線205の良否を検査するだけであり、ラッチ回路の検査を行うには十分ではない。上記検査法は、検査用パルスを映像信号線207に入力し、スイッチ駆動回路212の順次駆動を行うことで、データ信号線205を一本一本検査する。このため、もしラッチ回路に不具合がありデータ信号線に前信号が残ったとしたら、その不具合の検出はできず、十分な検査であるとはいえない。

**【0010】**

本発明の目的は、ラッチ回路の検査も含めて、ソース駆動回路の動作及びデータ信号線を検査可能な画像表示装置と、画像表示装置の検査方法を提供することである。

**【0011】****【課題を解決するための手段】**

上記目的を達成するため、本発明の画像表示装置およびその検査方法に関し、以下のような手段を講じた。

**【0012】**

本発明の画像表示装置は、

画素がマトリクス状に配置され、その位置を交点とするようにデータ信号線および走査線が並び、前記データ信号線および走査線のそれぞれに対してドライバ回路にて制御を行っている画像表示装置において、

前記ドライバ回路と前記画素とは、前記データ信号線を介して検査回路に接続され、

前記検査回路は、直列に接続された複数のNAND回路を有し、前記データ信号線は、それぞれ前記複数のNAND回路のうちいずれか1つの入力に接続され、前記直列に接続されたNAND回路の先頭の入力は電源電位、後尾の出力は検査端子と接続されていることを特徴とする。

**【0013】**

本発明の画像表示装置の検査方法は、

画素がマトリクス状に配置され、その位置を交点とするようにデータ信号線および走査線が並び、前記データ信号線および走査線のそれぞれに対してドライバ回路にて制御を行っている画像表示装置において、

前記ドライバ回路と前記画素とは、前記データ信号線を介して検査回路に接続され、

前記検査回路は、直列に接続された複数のNAND回路を有し、前記データ信号線は、それぞれ前記複数のNAND回路のうちいずれか1つの入力に接続され、前記直列に接続されたNAND回路の先頭の入力は電源電位、後

尾の出力は検査端子と接続され、

前記検査回路において、検査パルスの入力に対し、前記検査端子の出力に方形波を得ることを特徴とする。

#### 【0014】

本発明の画像表示装置の検査方法において、

前記検査パルスは、映像信号の入力に従い、前記データ信号線に出力されるパルスであることを特徴とする。

#### 【0015】

本発明の画像表示装置の検査方法において、

前記検査パルスは全てのデータ信号線においてH i g h信号とし、順次L o w信号に切り替えることを特徴とする。

#### 【0016】

本発明の画像表示装置の検査方法において、

前記直列に接続されたN A N D回路への前記検査パルスの入力は、全段にわたり同時入力されることを特徴とする。

#### 【0017】

以上の構成により、データ信号線に不具合があった場合、例えば断線あるいは接触によりデータ信号線にラッチ出力が反映されない時は、データ信号線のHighからLowへの切り替えが不具合箇所過ぎるまで、検査端子の出力レベルが一定を保ち、一方、ラッチ回路に不具合があり前データが残る時は、不具合箇所でデータ信号線のHighからLowへの切り替えを行っても、出力レベルが一定を保たれ、よって、検査出力を見ることで極めて高精度に不良箇所の特定ができる。

#### 【0018】

##### 【発明の実施の形態】

本発明を以下の実施の形態により詳細に説明する。

#### 【0019】

図1(A)は、本発明の第1の実施形態による検査回路を示す。上記検査回路は、2入力NAND回路を直列に接続したものである。また、もう一方の入力をデータ信号線S1, S2, ---, Snと一対一で接続している。便宜的に、VDDが入力されている

NAND回路を先頭、出力が検査端子と接続しているNAND回路を後尾とする。

### 【0020】

検査方法について述べる。図1(A)に示すような検査回路を基板上に形成し、画素部と接続しているデータ信号線とS1, S2, ---, Snを1対1で接続し、検査用パルスが有する電位が各データ信号線へ出力され、出力値OUTを観察することで検査できる。図1(B)に検査用パルスV1, V2, ---, Vnとラッチ信号、出力信号のタイミングチャートを示す。検査用パルスV1, V2, ---, Vnは、ラッチ信号が入力された時、同時にデータ信号線に出力されるので、ラッチ信号が入力される時に出力信号が変化している。

### 【0021】

本検査において、検査用パルスV1, V2, ---, Vnは、検査初期状態として、全信号をHighとする (period0)。最初のラッチ信号が入力された時、もしデータ信号線の数が奇数であれば出力信号はLowを、偶数であればHighを出力する。次の期間 (第一状態、period1) では、検査用パルスV1, V2, ---, Vnは、先頭NAND回路へ入力するV1のみをLowとする。そして、以降の期間はラッチ信号が入力されるごとに、検査用パルスを順次後尾に向かってHighからLowに変更し、ラッチ信号をN+1回入力する。こうすることで、図1(B)の出力信号のようにラッチ信号が入力するたびにHigh Lowが入れ替わる信号が検出される。もし、ラッチ信号が入力された時変化がなければ、変更されたパルスに対応するデータ信号の有するラッチ回路に不具合があることが検出できる。

### 【0022】

不具合の検出方法について、図4を用いて詳しく説明する。検査用パルスV1, V2, ---, Vnは1対1で各データ信号線を介して、図4(A)に示す検査回路の入力部S1, S2, ---, Snに同時にラッチ信号のタイミングで入力されるものとする。また、検査回路内の各NAND出力を01, 02, ---, 0nとし、後尾のNAND出力0nが検査出力Outに相当し、それぞれを表にまとめたのが図4(B)である(Highは1、Lowは0とする)。

### 【0023】

図4(B)の状態401は正常時の、ラッチ信号入力後の電位レベルを示している。検

査用パルスV1, V2, ---, Vnは全てHigh、n=奇数としているので検査出力0n = Lowとなっている。

#### 【0024】

図4(B)の状態402-404はデータ信号線4番目が断線（Low状態のみ）した時の電位レベルを示している。検査初期状態402の時、不良箇所が偶数番目のために検査出力0nは正常状態401と同じ電位レベルを示す。そして、第1状態403、第2状態404になっても検査出力0nの電位レベルは変化しないため、不具合があることが検出できる。検査出力0nの電位レベルに変化が観察できるのは第5状態を過ぎてからであり、これによって断線箇所の特定が可能である。

#### 【0025】

図4(B)の状態405-407はデータ信号線4番目が電源電圧と接触（High状態のみ）した時の電位レベルを示している。検査初期状態405の時、不良箇所が偶数番目のために検査出力0nは正常状態401と違う電位レベルを示す。そして、第6状態を過ぎるまでこの電位レベルの出力が続き、これによって断線箇所の特定が可能である。

#### 【0026】

本検査回路への入力は、全データ信号線の同時入力を特徴としているので、ラッチ回路に不具合があり前データが残った場合は、HighからLowへの変化が起こらないため、検査出力の電位レベルは変化せず、不具合箇所の特定が可能である。

#### 【0027】

##### 【実施例】

以下に、本発明の実施例について記載する。

#### 【0028】

##### [実施例1]

図3(A)に、本発明の一実施例を示す。検査回路はソース駆動回路の対向側に設け、データ信号線を一本づつ2入力NAND回路の入力に接続し、それぞれのNAND回路は直列接続をする。直列の先頭のNAND回路にはVDDを入力し、後尾のNANDの出力は検査端子を接続する。本実施例における基板は、映像信号を第1のラッチ回路が順次取り込み第2のラッチ回路に渡し、全信号を取り込んだ後、ラッチ信号

によって第2のラッチ回路よりデータ信号線305に送られる。そのため、データ信号線の検出方法は、検査用パルスV1, V2, ---, Vnとラッチ信号を入力し、出力信号を観察することで判定する。

#### 【0029】

検査用パルスは映像信号線に入力され、検査初期状態として全データ信号線305をHighとする。この時、データ信号線の本数により出力信号は違い、奇数であればLow、偶数であればHighを出力する。検査用パルスが検査回路に入力されるのは、ラッチ信号が入力された時なので、ラッチ信号を入力するごとに検査パルスを順次後尾に向かってHighからLowに反転させ検査を行う。この時の出力信号は方形波である。

#### 【0030】

断線及び接触等の不良の場合は、初期状態から反転させても出力信号がHigh（あるいはLow）のままであり、また異常個所を過ぎると方形波を検出できることで判断できる。方形波のHigh/Lowの切り替えはラッチ信号の入力と同時である。

#### 【0031】

図3(B)にラッチ回路の不良を検出した時の出力信号が示す。図3(B)の出力信号をみると、最初のラッチ信号が入って（検査初期状態）Highが出力されているので、データ信号線が偶数本であることがわかる（データ信号線が奇数本であるなら、不具合を持っていることになる）。次のラッチ信号が入力され時、出力信号が反転しているので、断線及び接触等の不具合がないことがわかる。

#### 【0032】

しかし、図3(B)は第3状態において出力信号がLowに反転せず、かつ次の第4状態以降においては正常な方形波がみられる。このようなケースはラッチ回路の異常であると判断できる。第3状態は先頭から3本目のデータ信号線が、HighからLowに反転した信号を受ける時であり、十分なLowレベルに反転しないため、出力信号においてLowへの変化が起こらないのである。第4状態以降において、正常な出力信号が検出されることから、3本目のデータ信号線に繋がるラッチ回路は第4状態では正常にラッチしていることがわかる（3本目のデータ信号線は、第4状態でもLowが入力されるので、2度目で十分なLowレベルになった）。

**【0033】**

映像信号線から入力されたデータを取り込む（書き込む）ためには、取り込むタイミングの前にデータがなければならず（セットアップ時間）、また取り込むタイミングの後もある程度保たなければならぬ（ホールド時間）。シフトレジスタの駆動周波数を上げればデータを取り込む時間は短くする必要があり、本検査回路を用いることで正常に取り込まれているか評価を行うことが可能である。

**【発明の効果】**

以上のように本発明の画像表示装置及びその検査方法は、NAND回路を追加し、直列接続することで、データ信号線の断線等の検査と、その上ラッチ回路の検査を簡単かつ確実に行い、もし異常があればその位置まで知ることができるものである。

**【図面の簡単な説明】**

**【図1】** 本発明の実施形態を示す図。

**【図2】** 一般的に用いられる画像表示装置とその検査回路の構成例を示す図。

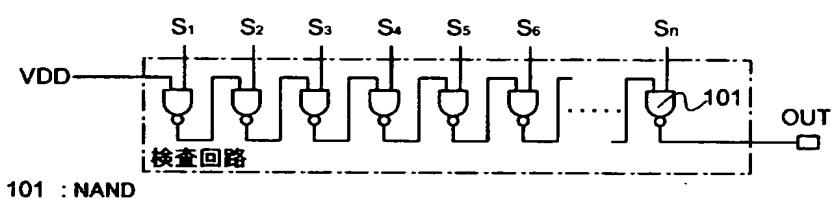
**【図3】** 本発明の一実施例を示す図。

**【図4】** 検査回路の電位レベルを示す図。

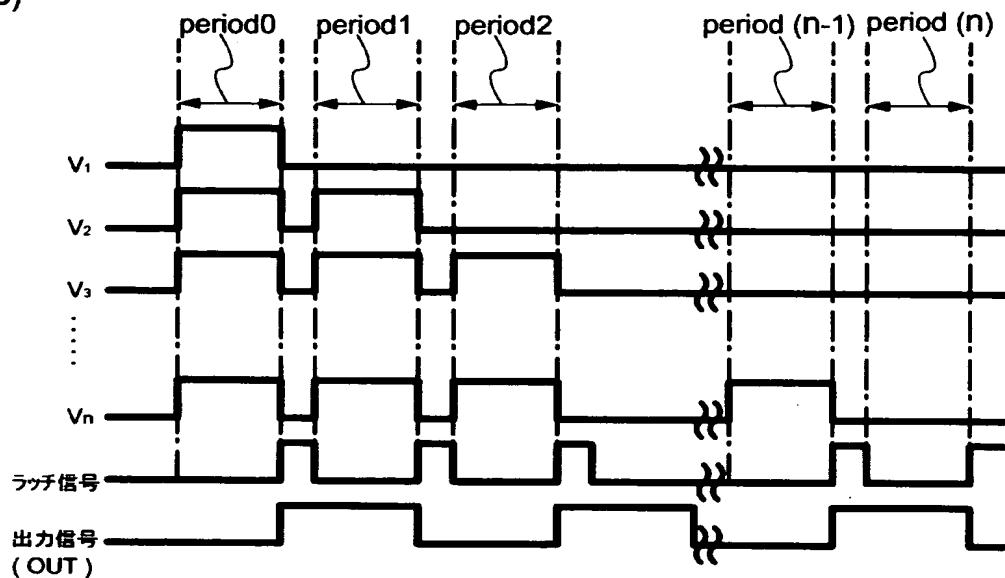
【書類名】 図面

【図 1】

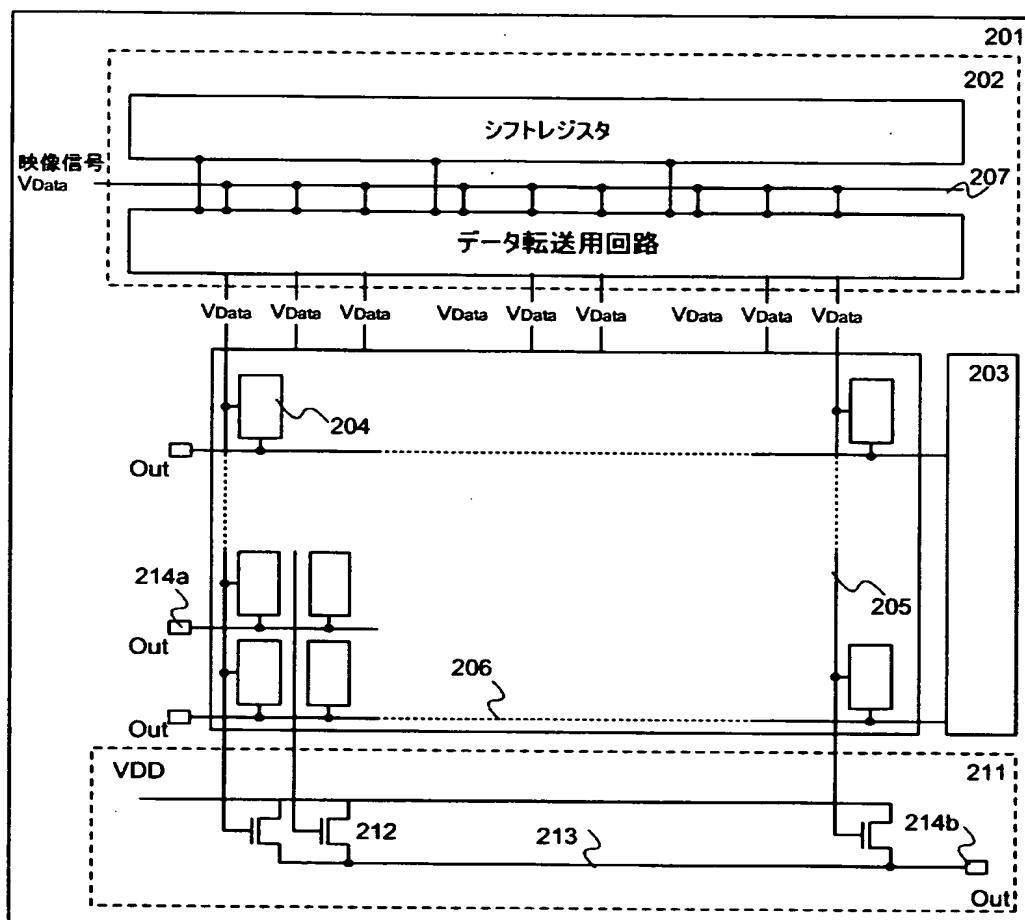
(A)



(B)



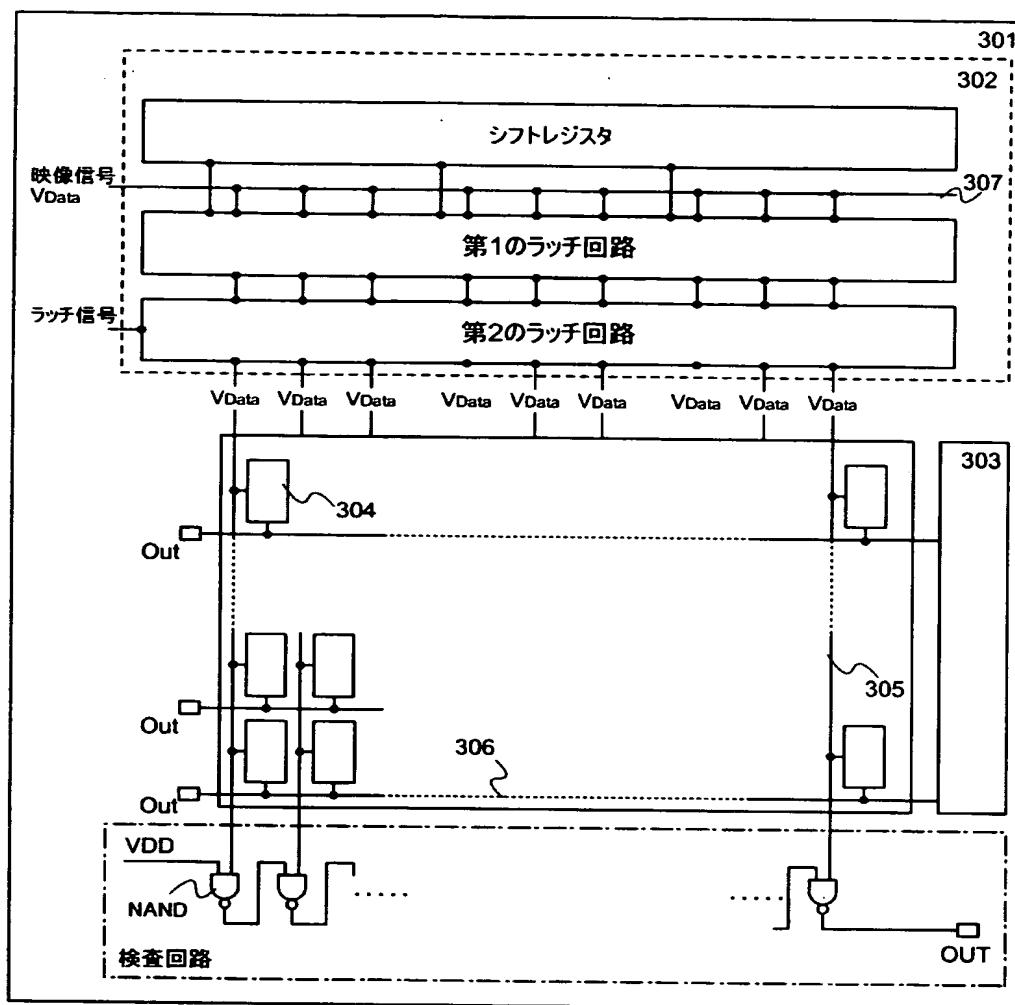
【図2】



201 : 基板	211 : 検査回路
202 : ソース駆動回路	212 : アナログスイッチ
203 : ゲート駆動回路	213 : 検査線
204 : 画素	214 : 検査端子
205 : データ信号線	
206 : 走査線	
207 : 映像信号線	

【図 3】

(A)



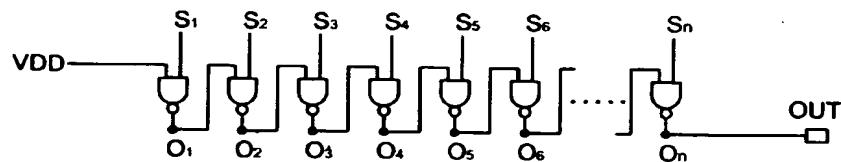
301 : 基板	305 : データ信号線
302 : ソース駆動回路	306 : 走査線
303 : ゲート駆動回路	307 : 映像信号線
304 : 画素	

(B)



【図 4】

(A)



(B)

[ n = odd ]								
VData	V <sub>1</sub>	V <sub>2</sub>	V <sub>3</sub>	V <sub>4</sub>	V <sub>5</sub>	V <sub>6</sub>	.....	V <sub>n</sub>
NANDout	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>	O <sub>4</sub>	O <sub>5</sub>	O <sub>6</sub>	.....	O <sub>n</sub>
VData	1	1	1	1	1	1	.....	1
NANDout	0	1	0	1	0	1	.....	0
VData	1	1	1	0	1	1	.....	1
NANDout	0	1	0	1	0	1	.....	0
VData	0	1	1	0	1	1	.....	1
NANDout	1	0	1	1	0	1	.....	0
VData	0	0	1	0	1	1	.....	1
NANDout	1	1	0	1	0	1	.....	0
VData	0	0	0	1	1	1	.....	1
NANDout	1	1	1	0	1	0	.....	1
VData	0	0	0	1	0	1	.....	1
NANDout	1	1	1	0	1	0	.....	1
VData	0	0	0	1	0	0	.....	1
NANDout	1	1	1	0	1	1	.....	0

- 401 : 正常、検査初期状態
- 402 : 断線(4段目)、初期状態
- 403 : 断線(4段目)、第1状態
- 404 : 断線(4段目)、第2状態
- 405 : 接触(4段目)、第3/4状態
- 406 : 接触(4段目)、第5状態
- 407 : 接触(4段目)、第6状態

【書類名】 要約書

【要約】

【課題】 画像表示装置において、少ない占有面積で簡単かつ確実な検査回路及び検査方法を提供する。

【解決方法】 直列NAND回路を有する検査回路を画素表示装置に実装し、当該検査回路からの出力波形を測定することにより、データ信号線の断線や、データラッチ回路の動作不良等を検出することが出来る。高価な検査装置や膨大な時間を使うことなく、それでいて特に大きな面積を占有せず、しかもデータ信号線および走査線の断線等の検査やラッチ回路の検査を簡単かつ確実に行うことが出来る。

【選択図】 なし

特願 2002-366803

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所